

PAT-NO: JP357043453A  
DOCUMENT-IDENTIFIER: JP 57043453 A  
TITLE: INTEGRATED CIRCUIT  
PUBN-DATE: March 11, 1982

INVENTOR-INFORMATION:  
NAME  
TANAKA, KOICHI

ASSIGNEE-INFORMATION:  
NAME COUNTRY  
NEC CORP N/A

APPL-NO: JP55118638  
APPL-DATE: August 28, 1980

INT-CL (IPC): H01L027/04, H01L023/56 , H01L029/72  
US-CL-CURRENT: 257/48

ABSTRACT:

PURPOSE: To enable the identification of the propriety of noise characteristic of an integrated circuit by forming electrode pads to be connected to the collector, base and emitter of an initial stage transistor of an amplifying system on a chip.

CONSTITUTION: Terminals connected to all electrode are formed on a semiconductor chip in such a manner that the terminals 6, 2, 7 are connected to the emitter, base, collector of one Q<SB>2</SB> of differential transistors

Q<sub>1</sub>, Q<sub>2</sub> forming the initial stage circuit of an integrated amplifier. Since the HFE of the transistor Q<sub>2</sub> of the initial stage circuit can be accordingly measured in a wafer state by the terminals 6, 2, 7, the propriety of the noise characteristic can be identified. Since the terminals 6, 7 are not necessary as the terminals for amplifying function, they are not necessary to be bonded via wires to external leads.

COPYRIGHT: (C)1982, JPO&Japio

⑬ 日本国特許庁 (JP)

⑭ 特許出願公開

⑫ 公開特許公報 (A)

昭57—43453

⑮ Int. Cl.<sup>3</sup>  
H 01 L 27/04  
23/56  
29/72

識別記号

庁内整理番号  
8122—5F  
6851—5F

⑯ 公開 昭和57年(1982)3月11日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 集積回路

東京都港区芝五丁目33番1号日  
本電気株式会社内

⑰ 特 願 昭55—118638  
⑱ 出 願 昭55(1980)8月28日  
⑲ 発 明 者 田中康一

⑰ 出 願 人 日本電気株式会社  
東京都港区芝5丁目33番1号  
⑲ 代 理 人 弁理士 内原晋

明 細 書

1. 発明の名称

集積回路

2. 特許請求の範囲

差動トランジスタを増幅系の初段回路に具備し、前記差動トランジスタの少くとも一方のトランジスタのコレクタ、ベース及びエミッタのすべてに電極を設けたことを特徴とする集積回路。

3. 発明の詳細な説明

本発明は増幅系の初段トランジスタの電流増幅率  $h_{FE}$  を測定することが可能な半導体集積回路化された増幅器に関するものである。

演算増幅器や線形的な増幅を必要とする半導体集積回路では熱的な影響を防止するために初段に差動増幅器が使用され、その出力が必要により増幅されている。また半導体チップに設けられる電極パッドは入出力端子や電源供給端子の外には外

付けされる電子部品を接続する端子だけであり、このため、回路構成トランジスタ個々の電流利得等の特性を測定することはほとんど不可能であった。また集積回路の雑音特性はほとんど初段トランジスタで決まるが、初段トランジスタには通常入力端子しか有しておらず、この初段トランジスタの特性測定は現実的には不可能であった。

このため、従来は半導体チップを容器に収容して集積回路を構成した後全体の電気的特性から集積回路の良・不良を判定していたが、これでは製造歩留りが低くなる上に不良品にかかるコストが大きいという欠点があった。

本発明の目的は、集積回路を構成する初段トランジスタの電気的特性を個別に測定可能な集積回路を得ることにある。

すなわち、本発明によれば、増幅系の初段回路に差動トランジスタを有し、この差動トランジスタの少くとも一方のトランジスタのコレクタ、ベースおよびエミッタに接続する電極パッドを半導体チップ上に設けた半導体集積回路を得る。

本発明によれば、ウェハ状態で初段トランジスタの電流増幅率等の電気的特性を測定できるの、ウェハ状態で不良素子を除去でき、最終製品の歩留りを向上できる。また、雑音特性を集積回路の入・出力間の特性で測定しては、たとえ、ウェハ状態であっても光の影響、測定系の誘導ハム、測定時間の長さ等から迅速で正確な測定ができなかったが、個別のトランジスタについて雑音特性を測定すれば、光や測定系の影響も小さく測定時間も短いので迅速で正確な測定が可能となる。

次に図面を参照して本発明をより詳細に説明する。

多段増幅器の雑音等価回路は第1図に示され、多段増幅器の入力換算総合雑音  $\bar{e}_T^2$  は式(1)で示すことができる。

$$\bar{e}_T^2 = \sum_{j=1}^n \frac{4kTRg_j \Delta f + \overline{en_j^2} + \overline{in_j^2} Rg_j^2}{\{(G_j - 1) \cdot \}^2} \quad (1)$$

但し  $\Delta f$  : 周波数帯域

$$en = \sqrt{4kT(\gamma_{bb'} + \frac{r_e}{2}) \Delta f} \quad (4)$$

但し  $I_B$  : ベース電流

$q$  : 電子の電荷

$I_C$  : コレクタ電流

$r_{bb'}$  : ベース抵抗

$r_e$  : エミッタ抵抗

式(2)において右辺の第1項の抵抗の熱雑音は信号源抵抗  $R_{g1}$  が決ると値が決定される。又第2項の雑音電圧はトランジスタの製造条件、パターン、動作電流が決定されると  $\gamma_{bb'}$  及び  $r_e$  は一定値をとるので変動は少い。しかしながら第3項の雑音電流はトランジスタの電流増幅率  $h_{FE}$  に大きく依存し、変動が大きい。

最近、熱拡散法に代ってイオン注入法が用いられてきており、電流増幅率  $h_{FE}$  の均一性の改善がなされてきているが、結晶欠陥があると電流増幅率  $h_{FE}$  の低下をウェハの局所的に生ずることがある。又オーディオ用増幅器では、初段の信号源抵抗  $R_{g1}$  は一般に大きな値が使用されるので、結局式(2)における結合雑音  $\bar{e}_T^2$  を左右する

$G_j$  :  $j$  段目電圧利得

$R_{g1}$  : 初段の信号源抵抗

$R_{gj}$  :  $j$  段目の入力抵抗と  $(j-1)$  段目の出力抵抗によって決定される増幅器の  $j$  段目の等価的な信号源抵抗

$en_j$  :  $j$  段目で発生する雑音電圧

$in_j$  :  $j$  段目で発生する雑音電流

$k$  : ボルツマン定数

$T$  : 絶対温度

$G_{0j} = 1, G_j = G_j \cdot G_{j-1} \cdot \dots \cdot G_1$

$G_1$  が  $G_2$  に対して特に小さくないかぎり式(1)の  $\bar{e}_T^2$  は式(2)で近似される。

$$\bar{e}_T^2 = 4kTRg_1 \Delta f + \overline{en_1^2} + \overline{in_1^2} Rg_1^2 \quad (2)$$

式(2)は入力換算総合雑音  $\bar{e}_T^2$  は初段回路の雑音特性で決定されることを意味している。ところでトランジスタの雑音電流  $in$ 、及び雑音電圧  $en$  は式(3)、式(4)で示される。

$$in = \sqrt{2qI_B \Delta f} = \sqrt{2q \frac{I_C}{h_{FE}} \Delta f} \quad (3)$$

のは雑音電流  $in$  である。雑音電流  $in$  は式(3)からわかるように電流増幅率  $h_{FE}$  に関係する。従って増幅器の初段回路の電流増幅率  $h_{FE}$  を測定すれば雑音特性の良否を判別できる。第2図は従来の半導体集積回路化された増幅器であり、第3図はそのチップ図である。

半導体集積回路化された増幅器では、熱の影響を少なくするために増幅器の初段は一般に差動トランジスタが使用される。第2図においてトランジスタ  $Q_1, Q_2$  で増幅器の初段回路、トランジスタ  $Q_3$  で増幅器の2段目回路を構成している。1は入力端子、2は帰還端子、3は出力端子、4は電源端子、5は接地端子である。10はトランジスタ  $Q_1, Q_2, Q_3$  に定電流を流すための定電流源である。

第3図は第2図の回路を半導体チップ9上に形成した時の電極パッドの配置を示したもので、1' ~ 5' はアルミ電極を示し、第2図の回路の端子1 ~ 5に相当する。第3図の電極1 ~ 5はワイヤボンディングにより容器の外部リードに接続され

る。

第2図及び第3図に示した従来の半導体集積回路化された増幅器ではウェハー状態では初段回路のトランジスタの $h_{FE}$ を測定することができないのでウェハー状態では雑音特性の良否を判別できず、例えばプラスチックモールド化された最終製品で直接雑音特性選別を測定することによって始めて雑音特性の良否を判別することができた。その為多大のコストを要した。

第4図は本発明の一実施例に係る半導体集積回路化された増幅器である。回路的には第2図の回路と異なる所はないが、初段回路を構成するトランジスタ $Q_1$ 、 $Q_2$ のうち、一方のトランジスタ $Q_2$ にはそのエミッタに端子6、ベースに端子2、コレクタに端子7というように全ての電極に半導体チップ上に電極につらなる端子を具備している。なお第2図の従来回路と同一の機能をもつものには同じ記号をつけてある。第5図は第4図の本発明に係る増幅器のチップ図でその電極パッドの配置を示したものである。

第1図は多段増幅器の雑音等価回路図、第2図は従来の半導体集積回路化された増幅器の回路図、第3図は第2図の増幅器のチップの端子配置を示した平面図、第4図は本発明の一実施例に係る半導体集積回路化された増幅器の回路図、第5図は第4図の増幅器のチップの端子配置を示した平面図である。

1, 2, 3, 4, 5, 6, 7, 1', 2', 3', 4', 5', 6', 7' ……電極端子、9 ……半導体チップ、10 ……定電流源、 $Q_1 \sim Q_8$  ……トランジスタ。

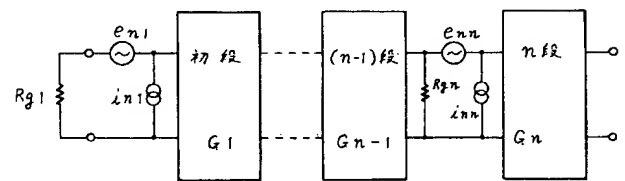
代理人 弁理士 内 原 晋

本実施例では電極6, 2, 7により、ウェハー状態で初段回路のトランジスタ $Q_2$ の電流増幅率 $h_{FE}$ を測定できるので雑音特性の良否を判別することができる。それ故不良チップを製品化することを選避することができ原価低減を図ることができる。なおトランジスタ $Q_1$ の電流増幅率 $h_{FE}$ も測定した方がよいが、半導体集積回路では同一チップ上の $Q_1$ と $Q_2$ の整合はよいのでどちらか一方を測定するだけで充分である。

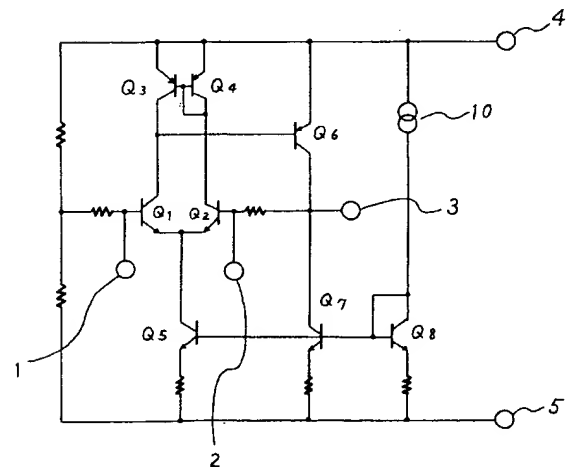
又第4の本発明に係る増幅器における端子6, 7は増幅器の雑音選別には非常に有効であるが、増幅機能用の端子としては必要ない。従って第5図の電極6, 7は外部リードへのワイヤボンディングをしなくてもよいことはもちろんである。

以上述べてきたように本発明に係る増幅器ではウェハー状態で雑音の良否を判定することができ製品の原価低減、選別工数の削減に資する処、極めて大である。

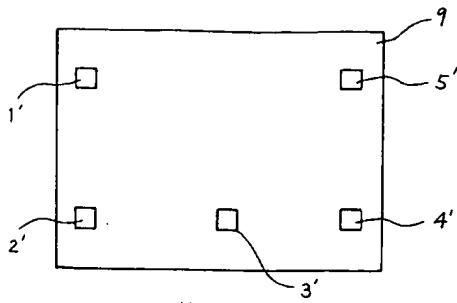
#### 4. 図面の簡単な説明



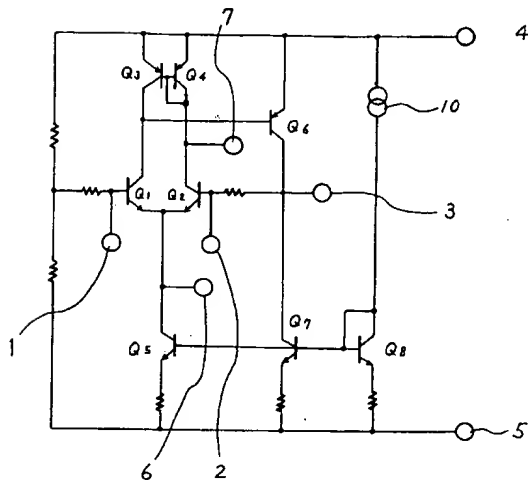
第1図



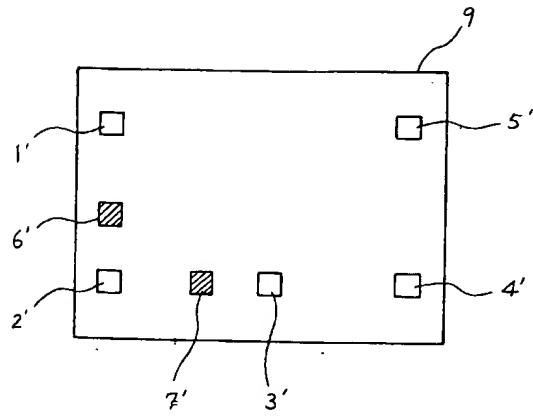
第2図



第 3 図



第 4 図



第 5 図